

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08237266 A**

(43) Date of publication of application: **13.09.96**

(51) Int. Cl.

H04L 12/28
H04B 10/02
H04J 14/00
H04J 14/02
H04Q 3/00
H04Q 3/52

(21) Application number: **07040205**

(22) Date of filing: **28.02.95**

(71) Applicant: **FUJITSU LTD**

(72) Inventor: **MAEDA TAKUJI**
KUROYANAGI TOMOJI
HIRONISHI KAZUO

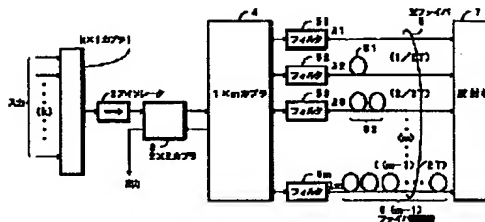
(54) OPTICAL BUFFER MEMORY

(57) Abstract:

PURPOSE: To shorten fiber delay line length to realize a small system as much as possible in an optical buffer memory used for an optical ATM exchange system or a optical STM exchange system.

CONSTITUTION: Optical cells or time slots which are wavelength-selected by a filter are reflected on a reflector through m-1-pieces of fiber delay lines delaying them by delay quantity different by 1/2 optical cell time slots and they are sequentially inputted/outputted one by one or they are delayed through the fiber delay lines having length delaying them by one optical cell time slot for respective outputs which are made to pass through by peculiar transmission wavelength by filters and $\times 1$ couplers different in branching ratios and they are synthesized by the 1×2 couplers.

COPYRIGHT: (C)1996,JPO



特開平8-237266

(43)公開日 平成8年(1996)9月13日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	H
H 0 4 B 10/02			H 0 4 Q 3/00	
H 0 4 J 14/00		9566-5G	3/52	Z
14/02			H 0 4 B 9/00	T
H 0 4 Q 3/00				E

審査請求 未請求 請求項の数5 OL (全 10 頁) 最終頁に続く

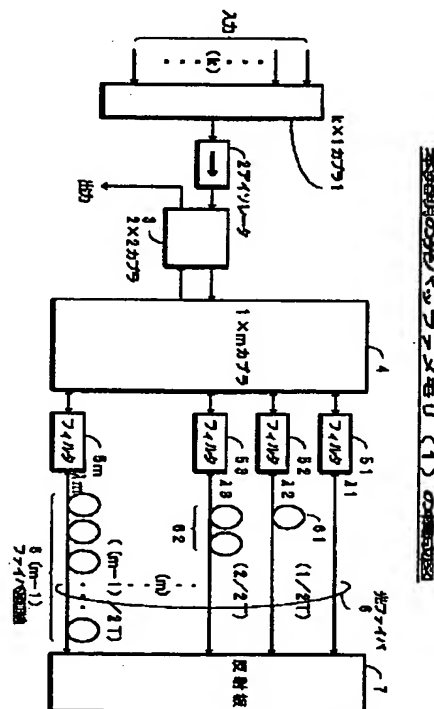
(21)出願番号	特願平7-40205	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成7年(1995)2月28日	(72)発明者	前田 卓二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	黒柳 智司 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	広西 一夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 茂泉 修司

(54) 【発明の名称】 光バッファメモリ

(57) 【要約】

【目的】光A TM交換方式または光S TM交換方式に用いられる光バッファメモリにおいて、ファイバ遅延線長を短縮して出来るだけ小型なシステムを実現する。

【構成】フィルタで波長選択した光セルまたはタイムスロットを1/2光セルタイムスロット分づつ異なる遅延量だけ遅延させる $m-1$ 本のファイバ遅延線を介して反射板で反射させて順次1個づつ入力して出力するか、フィルタ及び分岐比が異なる 2×1 カプラとで固有の透過波長だけ通過させた各光出力に1光セルタイムスロット分づつ遅延させる長さを有するファイバ遅延線を介して遅延させ、 1×2 カプラで合成する。



【特許請求の範囲】

【請求項 1】 光 A T M 交換方式に用いられる光バッファメモリにおいて、

互いに波長が異なる k 個の並列した光セルを 1 つに波長多重する 1 個の $k \times 1$ カブラと、該 $k \times 1$ カブラの光出力のみを透過させる 1 個のアイソレータと、該アイソレータの光出力を入力する 1 個の 2×2 カブラと、該 2×2 カブラの光出力を m 個に均等に分岐させる 1 個の $1 \times m$ カブラと、該 $1 \times m$ カブラから分岐した m 個の光出力をそれぞれ互いに異なる固有の透過波長だけ通過させる m 個のフィルタと、各フィルタの光出力をそれぞれ $1/2$ 光セルタイムスロット分づつ異なる遅延量だけ遅延させる $m-1$ 本のファイバ遅延線を含む光ファイバと、各光ファイバの光出力を該光ファイバに反射させる反射板とを備え、該 2×2 カブラが、該反射板から反射して該 $1 \times m$ カブラから出力された光セルを順次 1 個づつ入力して出力することを特徴とした光バッファメモリ。

【請求項 2】 光 A T M 交換方式に用いられる光バッファメモリにおいて、

互いに波長が異なる k 個の並列した光セルを 1 つに波長多重する 1 個の $k \times 1$ カブラと、該 $k \times 1$ カブラの出力側に縦続接続されそれぞれ分岐比が異なる $m-1$ 個の 1×2 カブラと、該 1×2 カブラの他方の光出力をそれぞれ互いに異なる固有の透過波長だけ通過させる $m-1$ 個のフィルタと、各フィルタの光出力を入力する互いに分岐比が異なる $m-1$ 個の 2×1 カブラと、前段の各 2×1 カブラの出力側に挿入され 1 光セルタイムスロット分づつ遅延させる長さを有する $m-1$ 本のファイバ遅延線とを備え、最後の該 2×1 カブラから光セルを順次 1 個づつ出力するとともに m が 2 以上の整数であり、各 1×2 カブラの分岐比が、出力される光セルのレベルを均一にし、損失を低減するように設定されていることを特徴とした光バッファメモリ。

【請求項 3】 請求項 2 に記載の光バッファメモリにおいて、1 個の光増幅器を中間の 2 個の該 1×2 カブラの間に挿入し、別の 1 個の光増幅器を同じ中間の該ファイバ遅延線と該 2×1 カブラの間に挿入したことを特徴とする光バッファメモリ。

【請求項 4】 請求項 2 に記載の光バッファメモリにおいて、さらに、最初のフィルタの出力側に 2×1 カブラを設け、最後のフィルタの入力側に 1×2 カブラを設けるとともに該 1×2 カブラの最後の出力側に 1 個の光増幅器を接続し、該 2×1 カブラの最後の出力側に別の 1 個の光増幅器を接続することによって基本単位モジュールを構成し、該基本単位モジュールを所定段数だけ縦続接続させたことを特徴とする光バッファメモリ。

【請求項 5】 請求項 1 乃至 4 のいずれかに記載の光バッファメモリを光 A T M 交換方式に用いる代わりに光 S T M 交換方式に用いる場合において、該光セルの代わりにタイムスロットを用いたことを特徴とする光バッファメモリ。

モリ。

【発明の詳細な説明】

【産業上の利用分野】 本発明は光バッファメモリに関し、特に光 A T M 交換方式または光 S T M 交換方式（光時分割交換方式）に用いる光バッファメモリに関するものである。

【0001】 マルチメディア通信を担う次世代の通信網として広帯域 I S D N が構築されている。

【0002】 この広帯域 I S D N においては現在の通信網の数千倍の情報が扱われるため、その膨大な情報量にも対応することができる大容量・小型化が可能な光 A T M 交換方式または光 S T M 交換方式などの光交換方式が期待されている。

【0003】 このような光交換方式は、複数の光セルまたはタイムスロットに対し、所定の宛先に対応してルートを切り替えて出力機能を有するものであり、このため複数の光セルまたはタイムスロットが同一のルートに出力される場合は衝突が生じるので、このような事態を回避するための光バッファ機能が必要となる。

【0004】

【従来の技術】 図 8 は従来の例えば光 A T M 交換方式において、上記のような光バッファ機能を有する光バッファメモリの構成例（1）を示したもので、図において、 k 個の入力は既にルートが設定された光セルであり、ほぼ同時に光スイッチ 200 に入力されるとともに、 k 個の入力は同じ k 個の光/電気変換回路 210～21k の対応する回路にそれぞれ入力される。

【0005】 そして、光/電気変換回路 210～21k は、各リンクから分岐した光セルの一部を対応する電気信号に変換し、コントロール回路 220 に入力する。コントロール回路 220 は電気信号に変換された光セルの情報を分析して、 k 個の入力の送出順位を判定して、この判定された順位に基づき光スイッチ 200 の切替制御を行う。

【0006】 光スイッチ 200 はコントロール回路 220 の制御を受けることにより、その出力が、それぞれ、0, T, 2T, 3T, … ($k-1$) T の遅延量（T は単位遅延量）を有する k 本の光ファイバ 6 に接続されている。従って、 k 個の入力はコントロール回路 220 の制御により k 本の光ファイバ 6 のいずれかに切替出力されるようになっている。

【0007】 また、 k 本の光ファイバ 6 の内の $k-1$ 本の光ファイバに、それぞれ、1T, 2T, 3T, … ($k-1$) T の遅延量を有するように構成するために、遅延線 201～20 ($k-1$) を設けている。

【0008】 また、230 は光カブラであり、2 入力/1 出力を有する 2×1 の光カブラをツリー状にして構成している。従って、光スイッチ 200 から同時に k 本の光ファイバに光セルが出力される場合であっても、衝突することなく光カブラ 230 から出力が得られる。

【0009】このような従来の光バッファメモリは、コントロール回路220により電氣的に光スイッチ200を制御し、各光セルのバッファリング時間に対応した光ファイバ6に振り分け、ファイバ遅延線201~20(k-1)により光セルの競合制御を行うように構成しているため、光/電気変換回路が必要であるとともに、伝送速度が上がるに従ってコントロール220における処理が困難になって来るという問題があった。

【0010】このような問題を解決するため、特願平6-158415号において、図9に示すような構成例(2)が提案されている。

【0011】すなわち、この従来構成例(2)においては、k個の入力がカブラ10に並列に与えられ、このカブラ10は入力がk個で出力がm個として一般化されたk×mカブラであり、内部で一旦波長多重されて同一の光出力信号としてフィルタ51~5mに与えられる。

【0012】フィルタ51~5mはそれぞれ透過波長が異なり、したがってこれらのフィルタ51~5mからは異なるm個の波長の光セルが光ファイバ6に出力されることになる。

【0013】光ファイバ6は、その内のm-1本に対してファイバ遅延線61~6(m-1)が設けられており、各ファイバ遅延線61~6(m-1)は入力してきた光セルに対してそれぞれ遅延量1T, 2T, 3T, ... (m-1)Tを与えるので、衝突することなく順次m×1カブラ70に入力される。

【0014】したがって、m×1カブラ70からは、時系列に順次k個の光セルが出力される。

【0015】これにより、光バッファメモリ部分では受動素子であるフィルタおよび遅延線のみが用いられ、以て電氣的制御の必要なしに競合制御が行われることとなる。

【0016】

【発明が解決しようとする課題】しかしながら、上記のような従来構成例(2)においては、ファイバ遅延線による遅延時間は遅延線長に比例するので、光セルの廃棄率を下げようとするとき遅延時間が長くなりファイバ遅延線長が増大してしまう。

【0017】そのため、光セルの廃棄率の低下に伴い従来構成例ではハードウェア量が急激に増大してしまうので小型なシステムの実現が難しいという問題点があった。

【0018】したがって本発明は、光ATM交換方式または光STM交換方式に用いられる光バッファメモリにおいて、ファイバ遅延線長を短縮して出来るだけ小型なシステムを実現することを目的とする。

【0019】

【課題を解決するための手段】

(1) 上記の目的を達成するため、本発明に係る光バッファメモリは、光ATM交換方式に用いられる場合、図

1に概念的に示すように、互いに波長が異なるk個の並列した光セルを1つに波長多重する1個のk×1カブラ1と、該k×1カブラ1の光出力のみを透過させる1個のアイソレータ2と、該アイソレータ2の光出力を入力する1個の2×2カブラ3と、該2×2カブラ3の光出力をm個に均等に分岐させる1個の1×mカブラ4と、該1×mカブラ4から分岐したm個の光出力をそれぞれ互いに異なる固有の透過波長だけ通過させるm個のフィルタ51~5mと、各フィルタ51~5mの光出力をそれぞれ1/2光セルタイムスロット分づつ異なる遅延量だけ遅延させるm-1本のファイバ遅延線61~6(m-1)を含む光ファイバ6と、各光ファイバ6の光出力を該光ファイバ6に反射させる反射板7とを備え、該2×2カブラ3が、該反射板7から反射して該1×mカブラ4から出力された光セルを順次1個づつ入力して出力することを特徴としたものである。

【0020】(2) また本発明に光バッファメモリは、光ATM交換方式に用いられる場合、図2に概念的に示すように、互いに波長が異なるk個の並列した光セルを1つに波長多重する1個のk×1カブラ1と、該k×1カブラ1の出力側に縦続接続されそれぞれ分岐比が異なるm-1個の1×2カブラ11~1mと、該1×2カブラ11~1mの他方の光出力をそれぞれ互いに異なる固有の透過波長だけ通過させるm-1個のフィルタ21~2mと、各フィルタ21~2mの光出力を入力する互いに分岐比が異なるm-1個の2×1カブラ41~4(m-1)と、前段の各2×1カブラの出力側に挿入され1光セルタイムスロット分づつ遅延させる長さを有するm-1本のファイバ遅延線31~3(m-1)とを備え、最後の該2×1カブラから光セルを順次1個づつ出力するとともにmが2以上の整数であり、各1×2カブラ11~1mの分岐比が、出力される光セルのレベルを均一にし、損失を低減するように設定されていることを特徴としたものである。

【0021】(3) 上記(2)の光バッファメモリにおいては、図3に概念的に示すように、1個の光増幅器81を中間の2個の該1×2カブラの間に挿入し、別の1個の光増幅器82を同じ中間の該ファイバ遅延線と該2×1カブラの間に挿入することが好ましい。

【0022】(4) さらに上記(2)の光バッファメモリにおいては、図4に概念的に示すように、さらに、最初のフィルタ21の出力側に2×1カブラ40を設け、最後のフィルタ2mの入力側に1×2カブラ1(m+1)を設けるとともに該最後の1×2カブラ1(m+1)の出力側に1個の光増幅器811を接続し、最後の該2×1カブラ3(m-1)の出力側に別の1個の光増幅器821を接続することによって基本単位モジュールを構成し、該基本単位モジュールを所定段数rだけ縦続接続させることもできる。

【0023】(5) さらに上記の各光バッファメモリに

においては、光ATM交換方式に用いる代わりに光STM交換方式に用いる場合、該光セルの代わりにタイムスロットを用いればよい。

【0024】

【作用】

(1) 図1に示す本発明に係る波長多重型光バッファメモリでは $k \times 1$ カブラ1で k 入力の光セルを一つにまとめ、アイソレータ2を経由して 2×2 カブラ3に送られる。

【0025】その後、光セルは $1 \times m$ カブラ4で均等に10 分岐されてフィルタ51～5mに送られる。各フィルタ51～5mは透過波長が全て異なる波長に設定しており、対応した波長の光セルのみ通過して光ファイバ6に送られる。

【0026】光ファイバ6におけるファイバ遅延線61～6(m-1)は、それぞれ $1/2$ セルタイムスロット分づつ遅延線長を変えてあり、フィルタ51を除くフィルタ52～5mを透過した光セルは、それらのファイバ遅延線61～6(m-1)で遅延された後、反射板7に送られる。

【0027】そして、光セルは反射板7によって全反射され、光ファイバ6、フィルタ51～5mというように通過して来た元の経路に戻る。そして $1 \times m$ カブラ4でそれぞれの光セルが1つの出口に集められ、 2×2 カブラ3の1つのポートから順次、1セルづつ出力される。

【0028】(2) 図2に示す本発明に係る波長多重型光バッファメモリでは、 $k \times 1$ カブラ1で k 入力の光セルを1つにまとめて各 1×2 カブラ11～1mに送出する。それぞれの 1×2 カブラ11～1mで光セルは分岐されるが各 1×2 カブラ11～1mは出力される光セルのレベルが均等かつ、損失が少なくなるように互いに分岐比が異なっている。

【0029】すなわち、図示のように、カブラ11では $1 : (m-1)$ に分岐し、この分岐したカブラ11から一方の光セルを更に $1 : (m-2)$ に分岐し、これを最後のカブラ1mまで順次経路することによりカブラ1mの2つの光セルの出力レベルは $1 : 1$ となり、すべてのフィルタ21～2mに入力する光セルのレベルが均一となる。

【0030】各フィルタ21～2mは透過波長が全て異なる波長に設定しており、対応した波長の光セルのみ透過されて 2×1 カブラ41～4(m-1)に送られるが、フィルタ21及び最後の 2×1 カブラ4(m-1)を除く 2×1 カブラ41～4(m-2)を透過した光セルは順次ファイバ遅延線31～3(m-1)で1光セルタイムスロットづつ遅延を受けて最後の 2×1 カブラ4(m-1)から出力される。

【0031】なお、 2×1 カブラ41～4(m-1)の分岐比は必ずしも 1×2 カブラ11～1mの分岐比と対応させる必要はない。

【0032】(3) 図3に示す光バッファメモリでは、図2と同様にバッファリングを行うが、 $m-1$ 個の 1×2 カブラ11～1mの接続の中間の 1×2 カブラ1nと $1(n+1)$ に1個の光増幅器81を挿入し、中間のファイバ遅延線3nと中間の 1×2 カブラ4(n+1)との間に別の1個の光増幅器82を挿入し損失を補償してバッファリングを行っている。

【0033】(4) 図4に示す光バッファメモリでは、図2と同様にバッファリングを行うが、この図2の光バッファメモリにおいて、最初のフィルタ21の出力側に 2×1 カブラ40を設け、最後のフィルタ2mの入力側に 1×2 カブラ1(m+1)を設ける。そして、最後の 1×2 カブラ1(m+1)の後に1個の光増幅器811を接続し、最後の 2×1 カブラ3(m-1)の後に1個の光増幅器821を接続した基本単位モジュールをr段接続することにより、損失を補償してバッファリングを行う。

【0034】(5) 上記の各光バッファメモリは光ATM交換方式に用いることが前提となっており、このために光セルを用いているが、光STM交換に用いる場合にも本発明は同様に適用することができ、この場合には、該光セルの代わりにタイムスロットを用いればよい。

【0035】

【実施例】図5は、図2に示した本発明に係る波長多重型光バッファメモリを光ATM交換機に適用した応用例を示しており、この応用例では、周期型のフィルタを用い、3入力/3出力の光ATM交換で且つ光セルのバッファリング時間は0～3セルタイムスロットまでのバッファメモリの場合を示している。

【0036】今、3つのリンクの内、入力#1および#2に光セルが同時に到着したときインプット・インターフェース・モジュール(IIM)90が光セルのヘッダ部の情報を分析し、それぞれの光セルの波長を $\lambda 5$ 、 $\lambda 6$ に変換し、且つ同じ出線に出力して波長多重型光バッファメモリBMに送出する。

【0037】光セルは 3×1 カブラ1とアイソレータ2と 2×2 カブラ3とを経由して 1×4 カブラ4で4つの出力に分岐されてフィルタ51～54に送られる。

【0038】フィルタ51～54では、フィルタ51が波長 $\lambda 1$ 、 $\lambda 5$ 、 $\lambda 9$ のみを透過するように波長選択されており、フィルタ52は波長 $\lambda 2$ 、 $\lambda 6$ 、 $\lambda 10$ のみを透過するように波長選択されており、フィルタ53は波長 $\lambda 3$ 、 $\lambda 7$ 、 $\lambda 11$ のみを透過するように波長選択されており、フィルタ54が波長 $\lambda 4$ 、 $\lambda 8$ 、 $\lambda 12$ のみを透過するように波長選択されている。

【0039】これらのフィルタ51～54を透過した光セルはファイバ遅延線61～63を含む光ファイバ6を経由して反射板7に送られ、この反射板7によって反射されファイバ遅延線61～63を往復する。

【0040】これにより、それぞれの光セルは1セルタ

イムスロットの遅延時間差が生じてフィルタ51~54に戻され、カブラ4及び3から1×3カブラ91に送られる。

【0041】1×3カブラ91では入力した光セルを3つに均等に分岐させ、これを更にバンドパス・フィルタ(BPF)921~923に送る。

【0042】これらのバンドパス・フィルタ(BPF)921~923は、それぞれ、波長 $\lambda 1 \sim \lambda 4$ 、 $\lambda 5 \sim \lambda 8$ 、 $\lambda 9 \sim \lambda 12$ を選択出力するように設定されているので、出線#2から光セルが衝突することなく波長 λ 5の光セル、波長 λ 6の光セルの順で出力される。

【0043】図6は、図2に示した本発明に係る波長多重型光バッファメモリを光ATM交換機に適用した応用例を示しており、この応用例では、3入力/3出力の光ATM交換機で、且つセルのバッファリング時間は0~3セルタイムスロットまでのバッファメモリの場合を示している。

【0044】まず、入力#1および#2に光セルが同時に到着し出線#2に出力するとき、IIM90で入力#1の光セルの波長を $\lambda 2$ 、入力#2の光セルを $\lambda 1$ に波長変換し、光自己ルーティングモジュール(PSRM)100に送られる。

【0045】PSRM100は3個のセルセクタ103と3個のバッファメモリBM1~BM3を備えており、IIM90から出力される光セル及びタグは、対応するセルセクタ101~103に入力する。セルセクタ101~103では、タグの宛先情報に基づき光セルの出力ルート切替え、対応するバッファメモリBM1~BM3に入力される。この例では、タグにより例えばバッファメモリBM2にセルが送られる。

【0046】ここで、バッファメモリBM1~BM3の各々には、セルセクタ101~103から出力される光セルが入力される。

【0047】バッファメモリBM2はその外のバッファメモリB1、BM3と同様にそれぞれ3×1カブラ1と1×2カブラ11~13とフィルタ21~24とファイバ遅延線31~33と2×1カブラ41~43とで構成されており、選択波長が $\lambda 1$ 及び $\lambda 2$ に設定されているフィルタ24とフィルタ23をそれぞれの光セルが透過してファイバ遅延線33を経由した波長 $\lambda 2$ の光セルと波長 $\lambda 1$ の光セルは1セルタイムスロットの遅延時間差が生じる。その結果、出線#2には光セルの衝突なしに波長 $\lambda 1$ の光セルと波長 $\lambda 2$ の光セルの順で出力される。

【0048】図7は、IIM90の構成例を示しており、それぞれ波長 $\lambda i \sim \lambda k$ を有する複数のリンクからの光セルC1~Ckが入力される。各光セルには、対応するヘッダ部C11~Ck1を有する。

【0049】このIIM90内には、複数(k個)の1×2カブラ111~11kが備えられている。1×2カ

ブラ111~11kは、一の光入力に対し、二つの光出力を分岐して出力する。1×2カブラ111~11kのそれぞれの一の出力は、k個の波長変換回路130の内、対応する回路に入力する。

【0050】さらに、1×2カブラ111~11kのそれぞれの他の出力は、制御回路120に入力される。制御回路120は、分岐された光セルのヘッダC11、Ck1の内容を分析し、出線への行き先を示す制御信号を生成し、これを対応する光セルが入力される波長変換回路130に入力する。

【0051】k個の波長変換回路130のそれぞれは、波長変換素子131と可変波長LD132を有している。波長変換素子131は、各入線から同時に複数の光セルが到着した場合のセル競合制御を行うため、この例では、入力光セルC1の波長 $\lambda 1$ をバッファリング時間に対応した波長 $\lambda m-1$ の光セルC21に変換する。また入力光セルCkの波長 λk をバッファリング時間に対応した波長 $\lambda m-2$ の光セルC2kに変換する。

【0052】さらに、可変波長LD132は、制御部120からの制御信号に対応して各々異なる波長のタグ光を出力する。このタグ光は、対応するセル光の出線を特定する情報を含んでいる。

【0053】また、この例では、入力セルC1に対応して波長変換素子131により波長変換され出力された光セルC21が出力される。これに対応して可変波長LD132により、波長 $\lambda k-1$ の光タグt1が出力される。

【0054】同様に、入力セルCkに対応して波長変換素子131により波長変換され出力された光セルC2kが出力される。これに対応して可変波長LD132により、波長 $\lambda k-2$ の光タグt2が出力される。

【0055】なお、上記の実施例において、フィルタには誘電体膜や半導体等のフィルタがあり、グレーティング型、ファブリペロー型、エタロン型、バンドパス型等がある。カブラにはファイバ融着型、導波路型等がある。

【0056】

【発明の効果】以上説明したように、本発明に係る光バッファメモリにおいては、フィルタで波長選択した光セルまたはタイムスロットを1/2光セルタイムスロット分づつ異なる遅延量だけ遅延させるm-1本のファイバ遅延線を介して反射板で反射させて順次1個づつ入力して出力するか、フィルタ及び分岐比が異なる2×1カブラとで固有の透過波長だけ通過させた各光出力に1光セルタイムスロット分づつ遅延させる長さを有するファイバ遅延線介して遅延させ、1×2カブラで合成するように構成したので、受動素子のみを用いることによって高い安定性と超高速化が可能となるとともに、更にファイバ遅延線長を短くすることが可能であり、それによってハード量が従来型より削減でき小型化が可能である。

【0057】さらに、それぞれのカブラの分岐比を変え

ることにより損失を低減することができる。以上のような特徴により光交換システムの小型化・経済化・大容量化に期待ができる。

【図面の簡単な説明】

【図 1】 本発明に係る波長多重型光バッファメモリ

(1) の構成を示したブロック図である。

【図 2】 本発明に係る波長多重型光バッファメモリ

(2) の構成を示したブロック図である。

【図 3】 本発明に係る波長多重型光バッファメモリ

(3) の構成を示したブロック図である。

【図 4】 本発明に係る波長多重型光バッファメモリ

(4) の構成を示したブロック図である。

【図 5】 本発明に係る波長多重型光バッファメモリ

(1) を光 A T M 交換機に適用した応用例を示したブロック図である。

【図 6】 本発明に係る波長多重型光バッファメモリ

(2) を光 A T M 交換機に適用した応用例を示したブロック図である。

【図 7】 図 5 及び図 6 の応用例に示した入力インタフェ

ース・モジュール (I I M) の構成例を示したブロック図である。

【図 8】 従来構成例 (1) を示したブロック図である。

【図 9】 従来構成例 (2) を示したブロック図である。

【符号の説明】

1 $k \times 1$ カブラ

2 アイソレータ

3 2×2 カブラ

4 $1 \times m$ カブラ

10 5 1 ~ 5 m, 2 1 ~ 2 m フィルタ

6 光ファイバ

6 1 ~ 6 (m - 1), 3 1 ~ (m - 1) ファイバ遅延線

7 反射板

1 1 ~ 1 m 1×2 カブラ

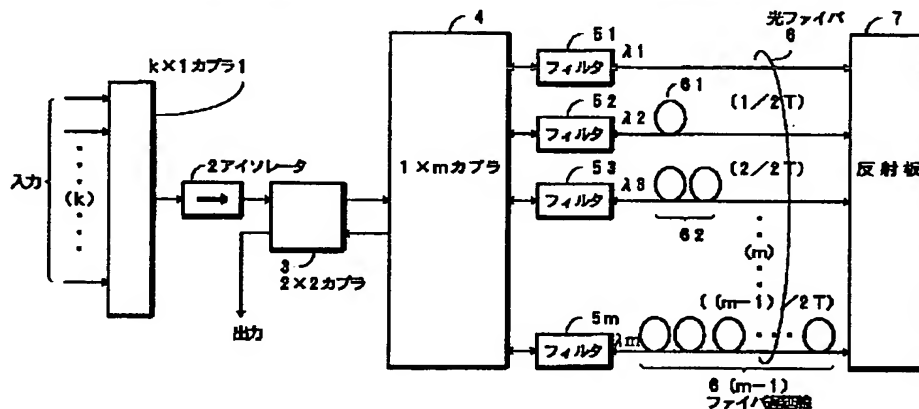
4 1 ~ 4 m 2×1 カブラ

8 1, 8 2, 8 1 1, 8 2 1 光増幅器

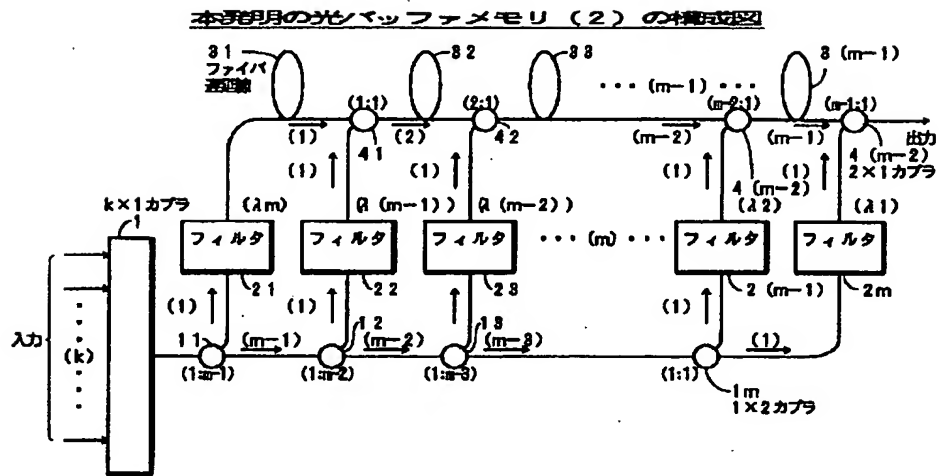
図中、同一符号は同一又は相当部分を示す。

【図 1】

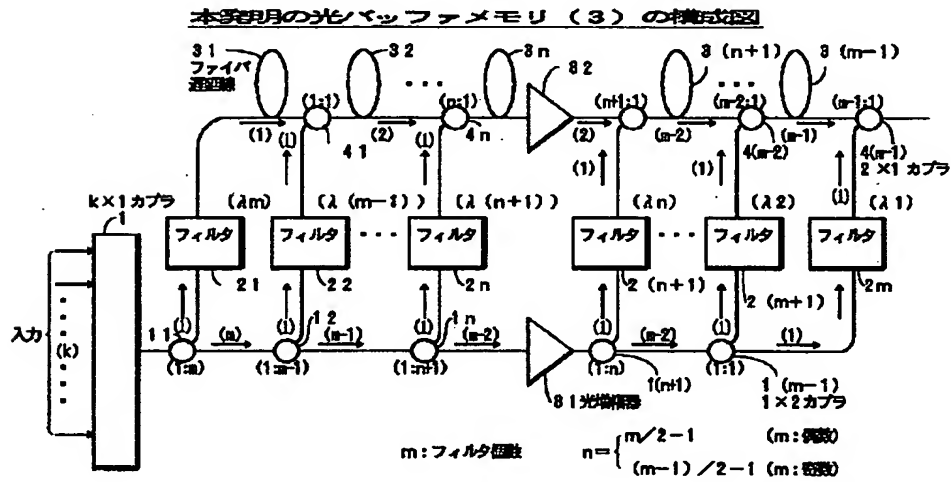
本発明の光バッファメモリ (1) の構成図



【図 2】

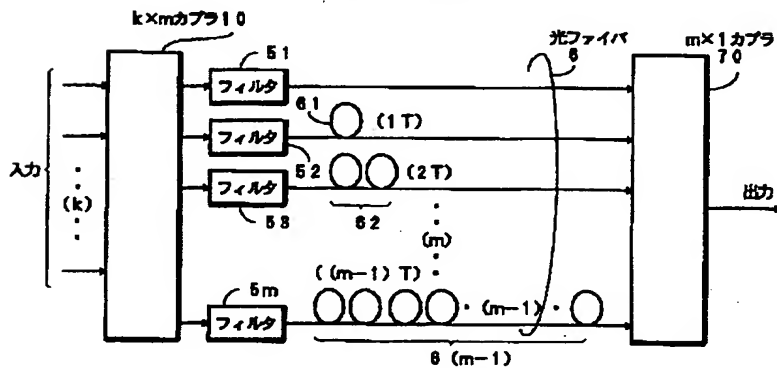


【図 3】

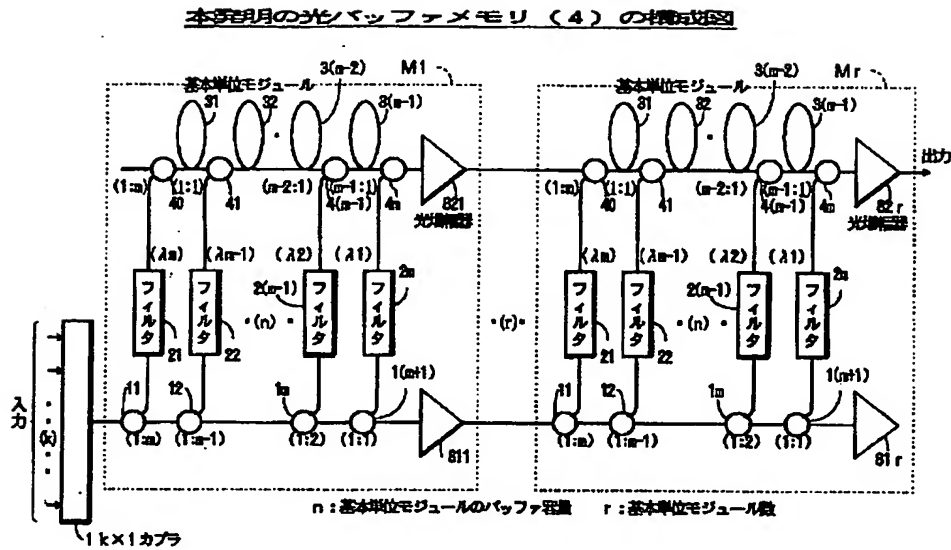


【図 9】

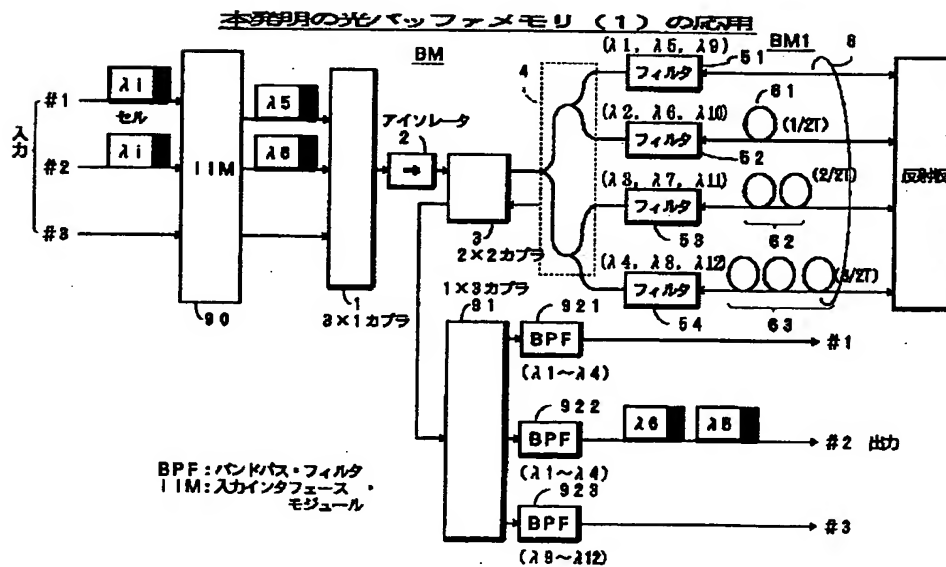
本発明の光マッピングメモリ (2) の構成図



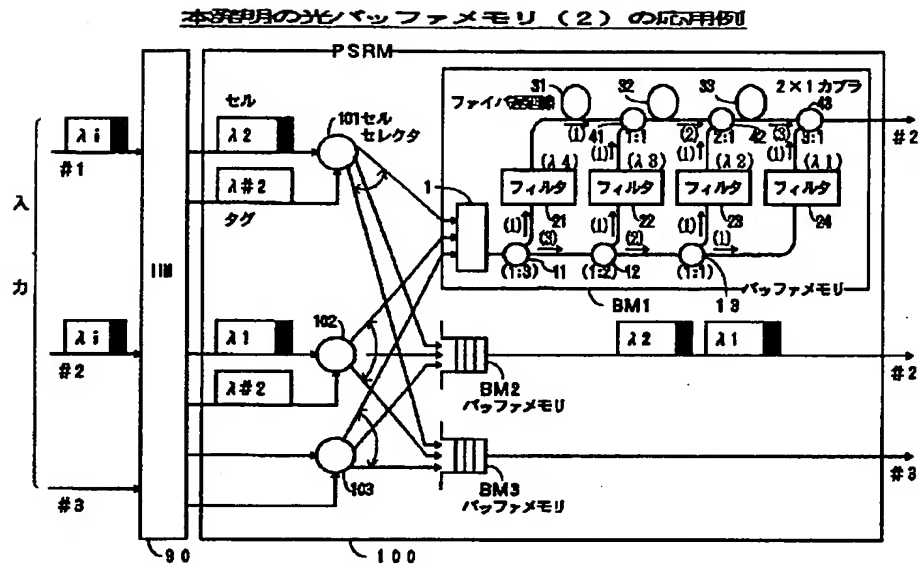
【図4】



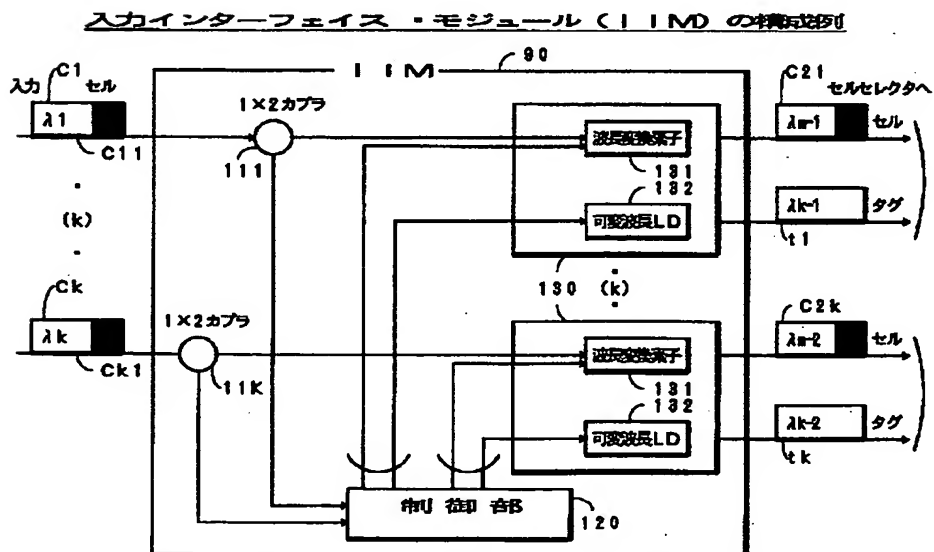
【図5】



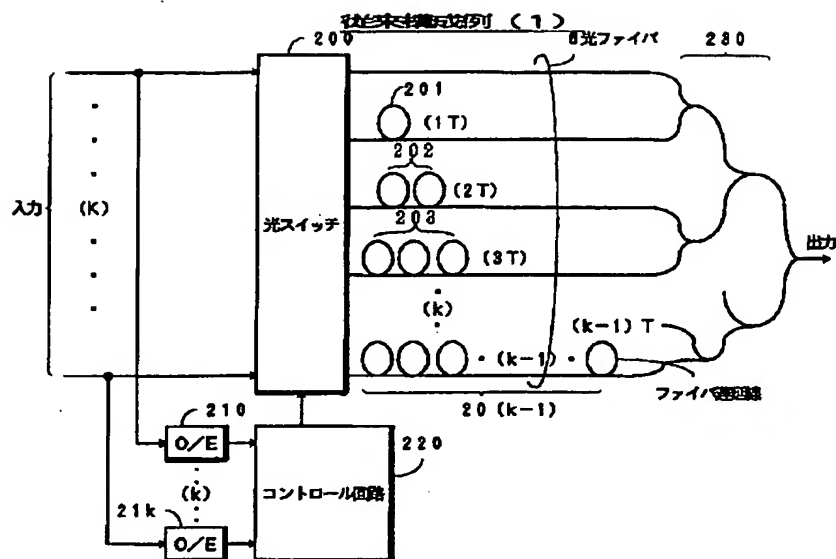
【図 6】



【図 7】



【図 8】



フロントページの続き

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 Q 3/52